

Abstract

This invention relates to a semiconductor package manufacturing method. This invention prevents breakdown and damage of a micro wafer for manufacturing a semiconductor package by impact due to reduction of silicon strength when the micro wafer is processed. Metal foil is attached to a back surface of the wafer, that is ground, to protect the processed surface, so that the breakdown of the wafer due to external impact etc in the subsequent processes can be prevented. The metal foil attached to the back surface of the semiconductor die can also prevent a phenomenon of breakdown of the semiconductor die due to an eject pin like a needle used in die bonding. Thermal radiation characteristics of a semiconductor element can be largely improved by processing the wafer extremely thin to about 1/2 of its thickness.

Claims

Claim 1

A semiconductor package manufacturing method comprising:
attaching a tape to a front surface of a completed wafer for manufacturing a semiconductor package when the wafer is processed in order to back-grind the wafer ;
grinding a back surface of the wafer, the wafer with the tape attached being stably fixed on a wafer grinder upside down;
cleaning the ground back surface of the wafer with deionized water;
attaching metal foil to the ground back surface of the wafer in order to reinforce and protect the processed surface;
removing the tape attached to the wafer;
performing an electric test in order to judge the processed wafer to be a defective or a non-defective; and
attaching a tape to the wafer which the electric test is performed to again, performing a sawing process of cutting the wafer and the metal foil to separate the wafer into individual semiconductor dies, and then performing subsequent processes to the sawed semiconductor dies to sequentially manufacture semiconductor packages.

Claim 2

The semiconductor package manufacturing method of claim 1, wherein the metal foil comprises copper or copper alloy.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 23/28	(45) 공고일자 2001년06월01일
	(11) 등록번호 10-0289403
	(24) 등록일자 2001년02월19일
(21) 출원번호 10-1998-0016791	(65) 공개번호 특 1999-0084789
(22) 출원일자 1998년 05월 11일	(43) 공개일자 1999년 12월 06일

(73) 특허권자 현대반도체주식회사 김영환
(72) 발명자 충청북도 청주시 흥덕구 향정동 1번지 장해도
(74) 대리인 대구광역시 남구 대명동 3026-6 박장원

심사관 : 유현철

(54) 반도체 패키지 제조방법

요약

본 발명은 반도체 패키지 제조방법에 관한 것으로, 본 발명은 반도체 패키지를 제조하기 위한 미세 웨이퍼의 가공시 굽소 강도가 저하되므로 인한 충격에 의해 웨이퍼가 파손 및 손상되는 것을 방지하기 위해 웨이퍼의 그라인딩이 완료된 뒷면에 금속 포일을 부착하여 가공면을 보호함으로써 후공정 취급시 외부의 충격 등에 의해 파손되는 것을 방지할 수 있고, 다이 본딩시 사용되는 바늘 같은 이젝트 핀으로 인해 반도체 칩이 파손되는 현상 또한 반도체 칩의 뒷면에 부착된 상기 금속 포일로서 방지할 수 있으며, 웨이퍼의 두께를 약 1/2 정도로 매우 얇게 가공할 수 있음에 따른 반도체 소자의 열방출 특성을 대폭 향상시킬 수 있게 된다.

도면

도 4

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 반도체 패키지를 제조하기 위한 웨이퍼 가공 공정을 순차적으로 나타낸 구성도

도 2는 도 1a 내지 도 1e의 웨이퍼 가공 공정을 순차적으로 나타낸 흐름도

도 3a 내지 도 3f는 본 발명에 따른 반도체 패키지를 제조하기 위한 웨이퍼 가공 공정을 순차적으로 나타낸 구성도

도 4는 도 3a 내지 도 3f의 웨이퍼 가공 공정을 순차적으로 나타낸 흐름도

* 도면의 주요부분에 대한 부호의 설명 *

1: 웨이퍼 2: 테이프

3: 웨이퍼 연마기 4: 금속 포일

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 패키지 제조방법에 관한 것으로서, 더욱 상세하게는 반도체 패키지를 제조하기 위한 미세 웨이퍼의 가공시 굽소 강도가 저하되므로 인한 충격에 의해 웨이퍼가 파손 및 손상되는 것을 방지할 수 있도록 한 것이다.

일반적으로, 리드 프레임은 트랜지스터나 IC 칩의 조립에 사용되며 금속을 적당한 패턴으로 포토 에칭 또는 프레스 가공한 금속 프레임으로서, 반도체 패키지를 제조할 때에는 먼저, 별도의 공정인 스탬핑 또는 에칭 방법으로 상기 리드 프레임을 제작하는 리드 프레임 제조 공정을 수행한 후, 상기 리드 프레임과 같이 제조된 리드 프레임의 패들 상면에 에폭시로 된 접착제를 이용하여 반도체 칩을 고정된 상태로 부착시키는 다이 본딩 공정을 수행한다.

그 다음, 상기 반도체 칩의 상면에 형성된 칩패드와 인너 리드를 각각 금속 와이어로 연결하는 와이어 본딩 공정을 수행한 후, 상기 반도체 칩, 패들, 금속 와이어 및 인너 리드의 일정 부분을 감싸도록 몰딩부를 형성하는 몰딩 공정을 수행한 다음, 후공정으로 몰딩 공정을 거친 리드 프레임(제품)의 정크(Junk) 부분과 덤바(Damper) 부분을 금속제 금형으로 제거하여 리드와 리드간의 전기 흐름을 차단시키는 트리밍 공정을 수행한 후, 트리밍 공정이 완료된 리드 프레임을 패키지 형태에 따라 리드의 외관을 형성시키는 포밍 공정을 수행하여 반도체 패키지를 완성하게 된다.

한편, 상기한 반도체 패키지를 제조하기 전에 종래의 웨이퍼를 가공하기 위한 공정을 도 1a 내지 도 2를 참조하여 간략히 설명하면 다음과 같다.

도 1a 내지 도 1e는 종래의 반도체 패키지를 제조하기 위한 웨이퍼 가공 공정을 순차적으로 나타낸 구성도이고, 도 2는 도 1a 내지 도 1e의 웨이퍼 가공 공정을 순차적으로 나타낸 흐름도로서, 먼저 완성된 웨이퍼(1)를 백 그라인딩하기 위하여 도 1a와 같이 웨이퍼(1)의 표면에 테이프(2)를 부착시킨 후, 도 1b와 같이 테이프(2)가 부착된 웨이퍼(1)를 뒤집은 상태로 웨이퍼 연마기(3) 위에 안착시켜 버금으로 고정시킨 다음, 웨이퍼 연마기(3)로 상기 웨이퍼(1)의 뒷면을 400 μ m로 연마하게 되는데, 그 이유는 400 μ m 이하로 연마 작업시 웨이퍼(1)의 자체 강도가 저하되므로 테이프(2)를 제거하거나, 취급시 깨짐이 발생하게 되며, 박스에 이동시 박스 내부에서 파손되어 전부 폐기되는 경우가 발생하기 때문이다.

그 후, 상기 웨이퍼(1)의 그라인딩이 완료된 뒷면에 도 1c와 같이 탈이온수를 사용하여 클리닝을 실시한 다음, 상기 웨이퍼(1)에 부착된 테이프(2)를 도 1d와 같이 제거하여 박스에 포장한 후 다음 공정으로 이동하며, 작업이 완료된 웨이퍼(1)의 양/불량을 구별하기 위해 도 1e와 같이 전기적인 검사를 실시한다.

그 다음, 다시 상기 웨이퍼(1)를 테이프에 부착시켜서 반도체 칩을 1개씩 분리하기 위해 웨이퍼(1)를 절단하는 소잉(Sawing) 작업을 실시한 후, 소잉된 반도체 칩을 리드 프레임의 패들에 1개씩 집적체(에폭시)를 사용하여 본딩하는 전술한 다이 본딩공정, 와이어 본딩 공정, 몰딩 공정, 트리밍 공정, 포밍 공정을 순차적으로 진행하여 반도체 패키지를 제조하게 된다.

그러나, 이와 같은 종래의 반도체 패키지를 제조하기 위한 미세 웨이퍼(1)의 가공시 규소 강도의 저하로 인해 웨이퍼(1)에 충격 등이 가해질 경우 파손되거나, 깨지는 경우가 발생하게 되고, 다이 본딩시 사용되는 바늘 같은 형상으로 된 이젝트 핀으로 인해 작업시 반도체 칩이 깨지는 경우가 발생하게 되며, 웨이퍼(1)의 두께가 얇을수록 열방출 특성이 향상되어 품질을 높일 수 있으나, 상기한 파손 및 깨짐 문제로 인해 웨이퍼(1)를 일정 두께(약 400 μ m 정도)로 유지해야 하므로 인해 열방출 특성을 향상시키는 데에 한계가 따르게 되는 등의 많은 문제점이 있었다.

본명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 제반 문제점을 해결하기 위한 것으로서, 반도체 패키지를 제조하기 위한 미세 웨이퍼의 가공시 규소 강도가 저하되므로 인한 충격에 의해 웨이퍼가 파손 및 손상되는 것을 방지할 수 있으며, 다이 본딩시 사용되는 이젝트 핀으로 인해 작업시 반도체 칩이 파손되는 현상을 방지할 수 있을 뿐만 아니라, 웨이퍼의 두께를 얇게 가공할 수 있음에 따른 반도체 소자의 열방출 특성을 향상시킬 수 있는 반도체 패키지 제조방법을 제공하는데 그 목적이 있다.

본명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명은 반도체 패키지를 제조하기 위한 웨이퍼를 가공시 완성된 웨이퍼를 백 그라인딩하기 위해 웨이퍼의 표면에 테이프를 부착시키는 단계와; 상기 테이프가 부착된 웨이퍼를 뒤집은 상태로 웨이퍼 연마기 위에 고정된 상태로 안착시켜 웨이퍼의 뒷면을 연마하는 단계와; 상기 웨이퍼의 그라인딩이 완료된 뒷면에 탈이온수를 사용하여 클리닝을 실시하는 단계와; 상기 웨이퍼의 그라인딩이 완료된 뒷면에 강도 보강과 가공면 보호를 위한 금속 포일을 부착시키는 단계와; 상기 웨이퍼에 부착된 테이프를 제거하는 단계와; 상기 작업이 완료된 웨이퍼의 양/불량을 구별하기 위해 전기적인 검사를 실시하는 단계와; 상기 전기적인 검사가 완료된 웨이퍼에 테이프를 다시 부착시켜 반도체 칩을 1개씩 분리하기 위해 웨이퍼와 상기 금속 포일을 함께 절단하는 소잉 작업을 실시한 다음 소잉된 반도체 칩을 후공정을 진행하여 순차적으로 반도체 패키지를 제조하도록 된 것을 특징으로 하는 반도체 패키지 제조방법을 제공한다.

여기서, 상기 금속 포일은 구리 또는 구리 합금으로 된 것을 그 특징으로 한다.

따라서, 본 발명에 의하면, 반도체 패키지를 제조하기 위한 미세 웨이퍼의 가공시 규소 강도가 저하되므로 인한 충격에 의해 웨이퍼가 파손 및 손상되는 것을 방지하기 위해 웨이퍼의 그라인딩이 완료된 뒷면에 금속 포일을 부착하여 가공면을 보호할 수 있게 된다.

이하, 상기한 목적을 달성하기 위한 본 발명의 바람직한 실시예를 첨부 도면에 의거하여 상세히 설명하면 다음과 같다.

도 3a 내지 도 3f는 본 발명에 따른 반도체 패키지를 제조하기 위한 웨이퍼 가공 공정을 순차적으로 나타낸 구성도이고, 도 4는 도 3a 내지 도 3f의 웨이퍼 가공 공정을 순차적으로 나타낸 흐름도로서; 종래의 기술과 동일한 부분에 대해서는 동일 부호를 부여하여 본 발명을 설명한다.

본 발명에 따른 반도체 패키지를 제조하기 위한 웨이퍼(1)를 가공할 때에는 먼저, 완성된 웨이퍼(1)를 백 그라인딩하기 위하여 도 3a와 같이 웨이퍼(1)의 표면에 테이프(2)를 부착시킨 후, 도 3b와 같이 테이프(2)가 부착된 웨이퍼(1)를 뒤집은 상태로 웨이퍼 연마기(3) 위에 안착시켜 버금으로 고정시킨 다음, 웨이퍼 연마기(3)로 상기 웨이퍼(1)의 뒷면을 연마한 후, 상기 웨이퍼(1)의 그라인딩이 완료된 뒷면에 도 3c와 같이 탈이온수를 사용하여 클리닝을 실시하게 된다.

그 다음, 상기 웨이퍼(1)의 그라인딩이 완료된 뒷면에 강도를 보강하여 가공면을 보호하기 위해 구리 또는 구리 합금으로 된 금속 포일(4)을 도 3d와 같이 부착시킨 후, 상기 웨이퍼(1)에 부착된 테이프(2)를

도 3e와 같이 제거하여 박스에 포장한 후 다음 공정으로 이동하며, 작업이 완료된 웨이퍼(1)의 양/불량을 구별하기 위해 도 3f와 같이 전기적인 검사를 실시한다.

그 다음, 다시 상기 웨이퍼(1)를 테이프에 부착시켜서 반도체 칩을 1개씩 분리하기 위해 웨이퍼(1)를 절단하는 소잉 작업을 실시한 후, 소잉된 반도체 칩을 리드 프레임의 패들에 1개씩 접착제를 사용하여 본딩하는 다이 본딩공정, 와이어 본딩 공정, 몰딩 공정, 트리밍 공정, 포밍 공정을 순차적으로 진행하여 반도체 패키지를 제조할 수 있게 된다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명은 반도체 패키지를 제조하기 위한 미세 웨이퍼의 가공시 규소 감도가 저하되므로 인한 충격에 의해 웨이퍼가 파손 및 손상되는 것을 방지하기 위해 웨이퍼의 그라인딩이 완료된 뒷면에 금속 포일을 부착하여 가공면을 보호함으로써 후공정 취급시 외부의 충격 등에 의해 파손되는 것을 방지할 수 있고, 다이 본딩시 사용되는 바늘 같은 이젝트 핀으로 인해 반도체 칩이 파손되는 현상 또한 반도체 칩의 뒷면에 부착된 상기 금속 포일로서 방지할 수 있으며, 웨이퍼의 두께를 약 1/2 정도로 매우 얇게 가공($400\mu\text{m} \rightarrow 200\mu\text{m}$)할 수 있음에 따른 반도체 소자의 열방출 특성을 대폭 향상시킬 수 있는 등의 많은 장점이 구비된 매우 유용한 발명이다.

이상에서는 본 발명의 바람직한 실시예를 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

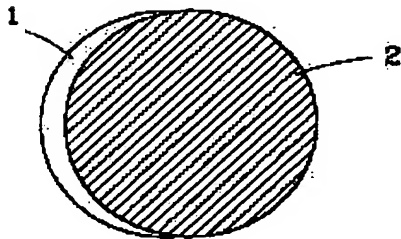
반도체 패키지를 제조하기 위한 웨이퍼를 가공시 완성된 웨이퍼를 백 그라인딩하기 위해 웨이퍼의 표면에 테이프를 부착시키는 단계와, 상기 테이프가 부착된 웨이퍼를 뒤집은 상태로 웨이퍼 연마기 위에 고정된 상태로 안착시켜 웨이퍼의 뒷면을 연마하는 단계와, 상기 웨이퍼의 그라인딩이 완료된 뒷면에 탈이온수를 사용하여 클리닝을 실시하는 단계와, 상기 웨이퍼의 그라인딩이 완료된 뒷면에 강도 보강과 가공면 보호를 위한 금속 포일을 부착시키는 단계와, 상기 웨이퍼에 부착된 테이프를 제거하는 단계와, 상기 작업이 완료된 웨이퍼의 양/불량을 구별하기 위해 전기적인 검사를 실시하는 단계와, 상기 전기적인 검사가 완료된 웨이퍼에 테이프를 다시 부착시켜 반도체 칩을 1개씩 분리하기 위해 웨이퍼와 상기 금속 포일을 함께 절단하는 소잉 작업을 실시한 다음 소잉된 반도체 칩을 후공정을 진행하여 순차적으로 반도체 패키지를 제조하도록 된 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 2

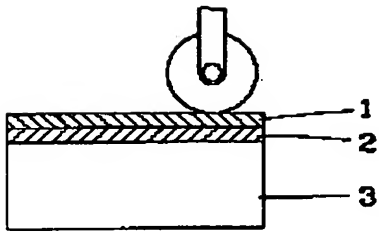
제 1 항에 있어서, 상기 금속 포일이 구리 또는 구리 합금으로 된 것을 특징으로 하는 반도체 패키지 제조방법.

도면

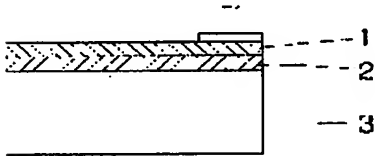
도면 1a



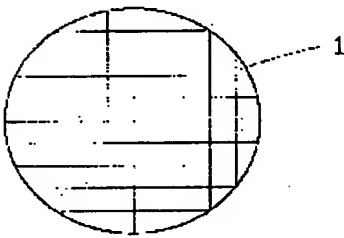
도면 1b



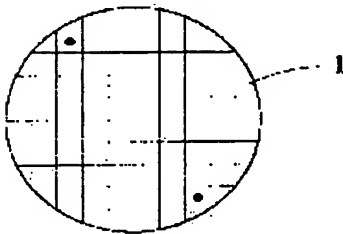
도면 1c



도면 1d



도면 1e



도면 2



図 3a

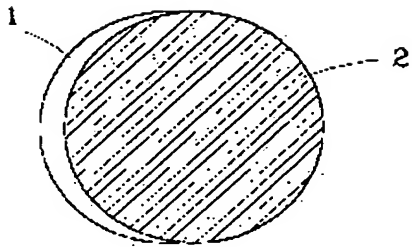


図 3b

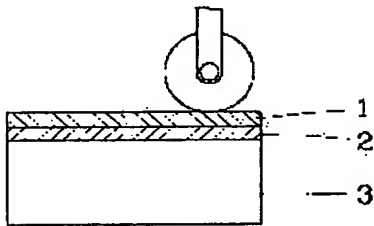


図 3c

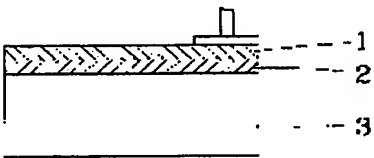
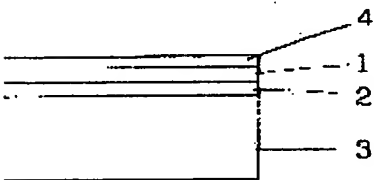
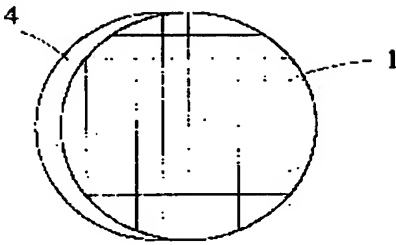


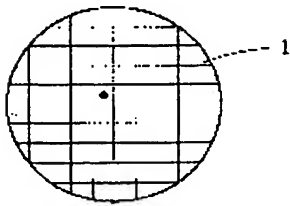
図 3d



도면30



도면31



도면4

